

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 8月 9日
Date of Application:

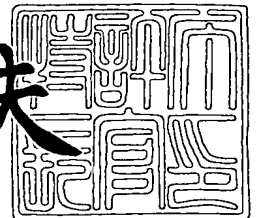
出願番号 特願2002-232737
Application Number:
[ST. 10/C]: [JP2002-232737]

出願人 カシオ計算機株式会社
Applicant(s):

2004年 3月 9日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3017948



【書類名】 特許願

【整理番号】 02-0844-00

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/60

【発明者】

 【住所又は居所】 東京都青梅市今井 3 丁目 1 0 番地 6
 カシオ計算機株式会社青梅事業所内

【氏名】 三原 一郎

【特許出願人】

 【識別番号】 000001443

 【氏名又は名称】 カシオ計算機株式会社

【代理人】

 【識別番号】 100073221

 【弁理士】

 【氏名又は名称】 花輪 義男

【手数料の表示】

 【予納台帳番号】 057277

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0015435

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に、それぞれが、パッド部を有する複数の再配線を設けてなる半導体構成体と、前記各パッド部を除いて前記再配線を含む前記半導体構成体の上面全体および前記半導体構成体の周側面より外側の延出部に設けられた絶縁膜と、該絶縁膜上に、前記再配線のパッド部に接続されて設けられ且つ接続パッド部を有する少なくとも一層の上層再配線とを備え、前記上層再配線の中、最上層の上層再配線の少なくとも一部は、前記接続パッド部が、前記半導体構成体の周側面より外側の前記絶縁膜の延出部上に配置されていることを特徴とする半導体装置。

【請求項 2】 各々が、半導体基板と、該半導体基板上に設けられ且つパッド部を有する複数の再配線を有し、互いに離間して配置された複数の半導体構成体と、前記各半導体構成体のパッド部を除いて前記再配線を含む上面全体および前記各半導体構成体の周側面より外側の延出部に設けられた絶縁膜と、該絶縁膜上に、前記パッド部に接続されて設けられ且つ接続パッド部を有する少なくとも一層の上層再配線とを備え、前記上層再配線の中、最上層の上層再配線の少なくとも一部は、前記接続パッド部が前記いずれかの半導体構成体の周側面より外側の前記延出部上に配置されていることを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 に記載の発明において、前記絶縁膜は前記半導体構成体の周側面を覆って設けられていることを特徴とする半導体装置。

【請求項 4】 請求項 1 または 2 に記載の発明において、前記複数の再配線は、前記半導体基板上に設けられた保護膜上に形成されていることを特徴とする半導体装置。

【請求項 5】 請求項 4 に記載の発明において、前記半導体構成体の周側面を覆う前記絶縁膜の下面は前記半導体構成体の下面とほぼ同一の平面上に配置されていることを特徴とする半導体装置。

【請求項 6】 請求項 4 に記載の発明において、前記半導体構成体およびその周囲における前記絶縁膜の下面に放熱層が設けられていることを特徴とする半

導体装置。

【請求項 7】 請求項 1 または 2 に記載の発明において、前記絶縁膜の延出部の下方には、埋込材が配置されていることを特徴とする半導体装置。

【請求項 8】 請求項 7 に記載の発明において、前記埋込材は前記半導体基板とほぼ同じ厚さを有することを特徴とする半導体装置。

【請求項 9】 請求項 8 に記載の発明において、前記埋込材と前記半導体構成体との間に絶縁膜が充填されていることを特徴とする半導体装置。

【請求項 10】 請求項 1 または 2 に記載の発明において、前記半導体構成体はベース板上に設けられていることを特徴とする半導体装置。

【請求項 11】 請求項 1 または 2 に記載の発明において、前記絶縁膜は複数層であり、その層間に、前記半導体構成体の再配線と前記上層再配線とを接続する層間再配線が設けられていることを特徴とする半導体装置。

【請求項 12】 請求項 1 または 2 に記載の発明において、前記上層再配線を含む前記絶縁膜の上面において前記上層再配線の接続パッド部を除く部分に最上層絶縁膜が設けられていることを特徴とする半導体装置。

【請求項 13】 請求項 12 に記載の発明において、前記上層再配線の接続パッド部上に突起状の接続端子が設けられていることを特徴とする半導体装置。

【請求項 14】 請求項 14 に記載の発明において、前記突起状の接続端子は半田ボールであることを特徴とする半導体装置。

【請求項 15】 半導体基板上に、それぞれ、パッド部を有する複数の再配線が形成された複数の半導体構成体を相互に離間してベース板上に配置する工程と、

前記複数の半導体構成体上を含む前記ベース板の上面全体に絶縁膜を形成する工程と、

前記絶縁膜の上面に、接続パッド部を有し且ついずれかの前記半導体構成体の対応する前記パッド部に接続される上層再配線を、少なくともいずれかの前記上層再配線の接続パッド部が前記半導体構成体間に形成された前記絶縁膜上に配置されるように形成する工程と、

前記各半導体構成体間における前記絶縁膜を切断して少なくともいずれかの前

記上層再配線の接続パッド部が前記半導体構成体より外側の領域の前記絶縁膜上に形成された前記半導体構成体を少なくとも1つ有する半導体装置を複数個得る工程とを有することを特徴とする半導体装置の製造方法。

【請求項16】 請求項15に記載の発明において、前記絶縁膜を切断する工程は、前記半導体構成体が複数個含まれるように切断することを特徴とする半導体装置の製造方法。

【請求項17】 請求項15に記載の発明において、前記半導体構成体を相互に離間してベース板上に配置する工程は、前記半導体構成体間に埋込材を配置する工程を含むことを特徴とする半導体装置の製造方法。

【請求項18】 請求項15に記載の発明において前記複数の再配線は、前記半導体基板上に設けられた保護膜上に形成されていることを特徴とする半導体装置の製造方法。

【請求項19】 請求項15に記載の発明において、前記絶縁膜は複数層であり、その層間に、前記各半導体構成体の再配線とそれに対応する前記各組の上層再配線とを接続する複数組の層間再配線を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項20】 請求項15に記載の発明において、前記上層再配線を含む前記絶縁膜の上面において前記上層再配線のパッド部を除く部分に最上層絶縁膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項21】 請求項20に記載の発明において、前記上層再配線のパッド部上に突起状の接続端子を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項22】 請求項21に記載の発明において、前記突起状の接続端子は半田ボールであることを特徴とする半導体装置の製造方法。

【請求項23】 請求項15に記載の発明において、前記絶縁膜を切断するとともに前記ベース板を切断する工程を有することを特徴とする半導体装置の製造方法。

【請求項24】 請求項23に記載の発明において、切断前の前記ベース板下に別のベース板を配置し、前記ベース板を切断した後に、前記別のベース板を

取り除く工程を有することを特徴とする半導体装置の製造方法。

【請求項 25】 請求項 15 に記載の発明において、前記半導体構成体を相互に離間してベース板上に配置する工程は、前記半導体構成体間に埋込材を配置する工程を含み、前記各半導体構成体間における前記絶縁膜を切断する工程は、前記埋込材を切断する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 26】 請求項 25 に記載の発明において、前記各半導体構成体間における前記絶縁膜を切断する工程は、前記ベース板を切断する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 27】 請求項 15 に記載の発明において、前記各半導体構成体間における前記絶縁膜を切断する工程の前に、前記ベース板を取り除く工程を有することを特徴とする半導体装置の製造方法。

【請求項 28】 請求項 27 に記載の発明において、前記ベース板を取り除く工程に引き続き、前記半導体基板を薄くする工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

例えば BGA (ball grid array) と呼ばれる半導体装置には、LSI などからなる半導体チップを該半導体チップのサイズよりもやや大きいサイズの中継基板 (インターポーザ) の上面中央部に搭載し、中継基板の下面に半田ボールによる接続端子をマトリクス状に配置したものがある。

【0003】

図 26 は従来のこのような半導体装置の一例の断面図を示したものである。半導体チップ 1 は、シリコン基板 2 の周辺部に銅などからなる複数のバンプ電極 3 が設けられた構造となっている。

【0004】

中継基板4は、サイズが半導体チップ1のシリコン基板2のサイズよりもやや大きいベースフィルム5を備えている。ベースフィルム5の上面には、半導体チップ1の bumps 電極3に接続される再配線6が設けられている。

【0005】

再配線6は、半導体チップ1の bumps 電極3に対応して設けられた第1の接続パッド7と、マトリクス状に設けられた第2の接続パッド8と、第1と第2の接続パッド7、8を接続する引き回し線9とからなっている。第2の接続パッド8の中央部に対応する部分におけるベースフィルム5には円孔10が設けられている。

【0006】

そして、半導体チップ1は中継基板4の上面中央部に異方性導電接着剤11を介して搭載されている。異方性導電接着剤11は、熱硬化性樹脂12中に多数の導電性粒子13を含有させたものからなっている。

【0007】

半導体チップ1を中継基板4上に搭載する場合には、まず、中継基板4の上面中央部にシート状の異方性導電接着剤11を介して半導体チップ1を位置合わせしてただ単に載置する。

【0008】

次に、熱硬化性樹脂12が硬化する温度にて所定の圧力を加えてボンディングする。すると、bumps 電極3が熱硬化性樹脂12を押し退けて第1の接続パッド7の上面に導電性粒子13を介して導電接続され、且つ、半導体チップ1の下面が中継基板4の上面に熱硬化性樹脂12を介して接着される。

【0009】

次に、半導体チップ1を含む中継基板4の上面全体にエポキシ系樹脂からなる封止膜14を形成する。次に、円孔10内およびその下方に半田ボール15を第2の接続パッド8に接続させて形成する。この場合、第2の接続パッド8はマトリクス状に配置されているため、半田ボール15もマトリクス状に配置される。

【0010】

ここで、半田ボール15のサイズは半導体チップ1の bumps 電極3のサイズよ

り大きく、また、各半田ボール 15 相互の接触を避けるため、その配置間隔をバンプ電極 3 の配置間隔より大きくする必要がある。そこで、半導体チップ 1 のバンプ電極 3 の数が増大した場合、各半田ボール 15 に必要な配置間隔を得るため、その配置領域を半導体チップ 1 のサイズより大きくすることが必要となり、そのために、中継基板 4 のサイズを半導体チップ 1 のサイズよりもやや大きくしている。したがって、マトリクス状に配置された半田ボール 15 のうち、周辺部の半田ボール 15 は半導体チップ 1 の周囲に配置されている。

【0011】

【発明が解決しようとする課題】

ところで、上記従来の半導体装置では、再配線 6 が形成された中継基板 4 を用い、位置合わせした後のボンディングにより、半導体チップ 1 のバンプ電極 3 の下面を中継基板 4 の再配線 6 の第 1 の接続パッド 7 の上面に導電接続する構成としているので、半導体チップ 1 のバンプ電極 3 の数が増大し、バンプ電極 3 のサイズおよび配置間隔が小さくなると、位置合わせが極めて大変であるという問題があった。この場合、半導体チップ 1 のサイズを大きくすれば、バンプ電極 3 のサイズおよび配置間隔を大きくすることができることは当然であるが、そのようにすると、ウエハ状態からの半導体チップの取り数が激減し、極めて高価なものとなってしまふ。また、半導体チップ 1 を 1 つずつ中継基板 4 上にボンディングして搭載しなければならず、製造工程が煩雑であるという問題があった。このようなことは、半導体チップを複数個備えたマルチチップモジュール型の半導体装置の場合も同様である。

【0012】

そこで、この発明は、ボンディングによることなく外部接続電極の配置間隔を大きくすることができる半導体装置およびその製造方法を提供することを目的とする。

また、この発明は、複数の半導体装置を一括して製造することができる半導体装置の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】

請求項 1 に記載の発明は、半導体基板上に、それぞれが、パッド部を有する複数の再配線を設けてなる半導体構成体と、前記各パッド部を除いて前記再配線を含む前記半導体構成体の上面全体および前記半導体構成体の周側面より外側の延出部に設けられた絶縁膜と、該絶縁膜上に、前記再配線のパッド部に接続されて設けられ且つ接続パッド部を有する少なくとも一層の上層再配線とを備え、前記上層再配線の中、最上層の上層再配線の少なくとも一部は、前記接続パッド部が、前記半導体構成体の周側面より外側の前記絶縁膜の延出部上に配置されていることを特徴とするものである。

請求項 2 に記載の発明は、各々が、半導体基板と、該半導体基板の上面に設けられ且つパッド部を有する複数の再配線を有し、互いに離間して配置された複数の半導体構成体と、前記各半導体構成体のパッド部を除いて前記再配線を含む上面全体および前記各半導体構成体の周側面より外側の延出部に設けられた絶縁膜と、該絶縁膜上に、前記パッド部に接続されて設けられ且つ接続パッド部を有する少なくとも一層の上層再配線とを備え、前記上層再配線の中、最上層の上層再配線の少なくとも一部は、前記接続パッド部が前記いずれかの半導体構成体の周側面より外側の前記延出部上に配置されていることを特徴とするものである。

請求項 3 に記載の発明は、請求項 1 または 2 に記載の発明において、前記絶縁膜は前記半導体構成体の周側面を覆って設けられていることを特徴とするものである。

請求項 4 に記載の発明は、請求項 1 または 2 に記載の発明において、前記複数の再配線は、前記半導体基板上に設けられた保護膜上に形成されていることを特徴とするものである。

請求項 5 に記載の発明は、請求項 4 に記載の発明において、前記半導体構成体の周側面を覆う前記絶縁膜の下面は前記半導体構成体の下面とほぼ同一の平面上に配置されていることを特徴とするものである。

請求項 6 に記載の発明は、請求項 4 に記載の発明において、前記半導体構成体およびその周囲における前記絶縁膜の下面に放熱層が設けられていることを特徴とするものである。

請求項 7 に記載の発明は、請求項 1 または 2 に記載の発明において、前記絶縁

膜の延出部の下方には、埋込材が配置されていることを特徴とするものである。

請求項 8 に記載の発明は、請求項 7 に記載の発明において、前記埋込材は前記半導体基板とほぼ同じ厚さを有することを特徴とするものである。

請求項 9 に記載の発明は、請求項 8 に記載の発明において、前記埋込材と前記半導体構成体との間に絶縁膜が充填されていることを特徴とするものである。

請求項 10 に記載の発明は、請求項 1 または 2 に記載の発明において、前記半導体構成体はベース板上に設けられていることを特徴とするものである。

請求項 11 に記載の発明は、請求項 1 または 2 に記載の発明において、前記絶縁膜は複数層であり、その層間に、前記半導体構成体の再配線と前記上層再配線とを接続する層間再配線が設けられていることを特徴とするものである。

請求項 12 に記載の発明は、請求項 1 または 2 に記載の発明において、前記上層再配線を含む前記絶縁膜の上面において前記上層再配線の接続パッド部を除く部分に最上層絶縁膜が設けられていることを特徴とするものである。

請求項 13 に記載の発明は、請求項 12 に記載の発明において、前記上層再配線の接続パッド部上に突起状の接続端子が設けられていることを特徴とするものである。

請求項 14 に記載の発明は、請求項 14 に記載の発明において、前記突起状の接続端子は半田ボールであることを特徴とするものである。

請求項 15 に記載の発明は、半導体基板上に、それぞれ、パッド部を有する複数の再配線が形成された複数の半導体構成体を相互に離間してベース板上に配置する工程と、前記複数の半導体構成体上を含む前記ベース板の上面全体に絶縁膜を形成する工程と、前記絶縁膜の上面に、接続パッド部を有し且ついずれかの前記半導体構成体の対応する前記パッド部に接続される上層再配線を、少なくともいずれかの前記上層再配線の接続パッド部が前記半導体構成体間に形成された前記絶縁膜上に配置されるように形成する工程と、前記各半導体構成体間における前記絶縁膜を切断して少なくともいずれかの前記上層再配線の接続パッド部が前記半導体構成体より外側の領域の前記絶縁膜上に形成された前記半導体構成体を少なくとも 1 つ有する半導体装置を複数個得る工程とを有することを特徴とするものである。

請求項 16 に記載の発明は、請求項 15 に記載の発明において、前記絶縁膜を切断する工程は、前記半導体構成体が複数個含まれるように切断することを特徴とするものである。

請求項 17 に記載の発明は、請求項 15 に記載の発明において、前記半導体構成体を相互に離間してベース板上に配置する工程は、前記半導体構成体間に埋込材を配置する工程を含むことを特徴とするものである。

請求項 18 に記載の発明は、請求項 15 に記載の発明において前記複数の再配線は、前記半導体基板上に設けられた保護膜上に形成されていることを特徴とするものである。

請求項 19 に記載の発明は、請求項 15 に記載の発明において、前記絶縁膜は複数層であり、その層間に、前記各半導体構成体の再配線とそれに対応する前記各組の上層再配線とを接続する複数組の層間再配線を形成する工程を有することを特徴とするものである。

請求項 20 に記載の発明は、請求項 15 に記載の発明において、前記上層再配線を含む前記絶縁膜の上面において前記上層再配線のパッド部を除く部分に最上層絶縁膜を形成する工程を有することを特徴とするものである。

請求項 21 に記載の発明は、請求項 20 に記載の発明において、前記上層再配線のパッド部上に突起状の接続端子を形成する工程を有することを特徴とするものである。

請求項 22 に記載の発明は、請求項 21 に記載の発明において、前記突起状の接続端子は半田ボールであることを特徴とするものである。

請求項 23 に記載の発明は、請求項 15 に記載の発明において、前記絶縁膜を切断するとともに前記ベース板を切断する工程を有することを特徴とするものである。

請求項 24 に記載の発明は、請求項 23 に記載の発明において、切断前の前記ベース板下に別のベース板を配置し、前記ベース板を切断した後に、前記別のベース板を取り除く工程を有することを特徴とするものである。

請求項 25 に記載の発明は、請求項 15 に記載の発明において、前記半導体構成体を相互に離間してベース板上に配置する工程は、前記半導体構成体間に埋

込材を配置する工程を含み、前記各半導体構成体間における前記絶縁膜を切断する工程は、前記埋込材を切断する工程を含むことを特徴とするものである。

請求項 26 に記載の発明は、請求項 25 に記載の発明において、前記各半導体構成体間における前記絶縁膜を切断する工程は、前記ベース板を切断する工程を含むことを特徴とするものである。

請求項 27 に記載の発明は、請求項 15 に記載の発明において、前記各半導体構成体間における前記絶縁膜を切断する工程の前に、前記ベース板を取り除く工程を有することを特徴とするものである。

請求項 28 に記載の発明は、請求項 26 に記載の発明において、前記ベース板を取り除く工程に引き続き、前記半導体基板を薄くする工程を有することを特徴とするものである。

そして、この発明によれば、半導体基板上に再配線を設けてなる複数または複数組の半導体構成体をベース板上に配置し、半導体構成体を含むベース板の上面全体に絶縁膜を形成し、絶縁膜の上面に上層再配線を半導体構成体の再配線に接続させて形成し、絶縁膜を少なくとも切断することにより、半導体構成体を 1 つまたは 1 組有し、その周囲に絶縁膜を有するとともに、周囲の絶縁膜上に上層再配線の一部が配置されてなる半導体装置を複数個一括して得ることができ、従来のようなボンディング工程がなく、したがってボンディングによることなく外部接続電極の配置間隔を大きくすることができ、また複数または複数組の半導体構成体に対して絶縁膜および上層再配線の形成を一括して行うことができるので、製造工程を簡略化することができる。

【0014】

【発明の実施の形態】

(第 1 実施形態)

図 1 はこの発明の第 1 実施形態としての半導体装置の断面図を示したものである。この半導体装置は、シリコン、ガラス、セラミックス、樹脂、金属などからなる平面正形状のベース板 20 を備えている。ベース板 20 の上面には、接着剤、粘着シート、両面接着テープなどからなる接着層 21 が設けられている。接着層 21 の上面中央部には、ベース板 20 のサイズよりもやや小さいサイズの平

面正形状の半導体構成体 22 の下面が接着されている。

【0015】

半導体構成体 22 は半導体チップ 23 を含んでいる。半導体チップ 23 は、接着層 21 の上面中央部に接着されたシリコン基板 24 の上面周辺部にアルミニウムなどからなる複数の接続パッド 25 が設けられ、接続パッド 25 の中央部を除くシリコン基板 24 の上面に酸化シリコンなどからなる絶縁膜 26 および感光性ポリイミドなどからなる保護膜 27 が設けられ、接続パッド 25 の中央部が絶縁膜 26 および保護膜 27 に形成された開口部 28 を介して露出されたものからなっている。

【0016】

ここで、半導体チップ 23 は、通常、ウェハ状態の半導体基板をダイシングして個々の半導体チップとなした場合に得られるものである。しかしながら、この発明では、ウェハ状態の半導体基板上に接続パッド 25、絶縁膜 26 および保護膜 27 が形成された状態では、ダイシングを行わず、以下に説明するように、再配線を有する半導体構成体 22 が得られる状態でウェハ状態の半導体基板をダイシングする。

【0017】

半導体チップ 23 の保護膜 27 上には、保護膜 27 に形成された開口部 28 を介して露出された接続パッド 25 の上面から保護膜 27 の上面の所定の箇所にかけて下地金属層 29a が設けられている。下地金属層 29a の上面には上層金属層 29b が設けられ、下地金属層 29a および上層金属層 29b により再配線 30 が形成されている。

【0018】

このように、半導体構成体 22 は、接続パッド 25、絶縁膜 26 および保護膜 27 を有する半導体チップ 23 を含み、さらに、下地金属層 29a および上層金属層 29b からなる封止膜 31 を含んで構成されている。図 1 において、保護膜 27 の開口部 28 内には下地金属層 29a のみが形成されているが、これは図示の都合上であって、実際には、上層金属層 29b も形成される。

【0019】

半導体構成体 22 の再配線 30 を含む保護膜 27 の上面および半導体構成体 22 の周囲における接着層 21 の上面にはエポキシ系樹脂からなる封止膜（絶縁膜）31 が設けられている。封止膜 31 の再配線 30 のパッド部に対応する部分には開口部 32 が設けられている。開口部 32 を介して露出された再配線 30 のパッド部の上面から封止膜 31 の上面の所定の箇所にかけて上層下地金属層 33a が設けられている。上層下地金属層 33a の上面全体には上層金属層 39b が設けられ、上層下地金属層 33a および上層金属層 39b により再配線 34 が形成されている。

【0020】

上層再配線 34 を含む封止膜 31 の上面全体にはソルダーレジストなどからなる絶縁膜 35 が設けられている。絶縁膜 35 の上層再配線 34 の接続パッド部 34a に対応する部分には開口部 36 が設けられている。開口部 36 内およびその上方には半田ボール（突起状の接続端子）37 が上層再配線 34 の接続パッド部 34a に接続されて設けられている。複数の半田ボール 37 は、絶縁膜 35 上にマトリクス状に配置されている。

【0021】

ところで、ベース板 20 のサイズを半導体構成体 22 のサイズよりもやや大きくしているのは、半導体チップ 23 の接続パッド 25 の数の増加に応じて、半田ボール 37 の配置領域を半導体構成体 22 のサイズよりもやや大きくし、これにより、接続パッド 34a のサイズおよび配置間隔を接続パッド 25 のサイズおよび配置間隔よりも大きくするためである。

【0022】

このため、マトリクス状に配置された上層再配線 34 の接続パッド部 34a は、半導体構成体 22 に対応する領域のみでなく、半導体構成体 22 の周側面に設けられた絶縁膜 31 に対応する領域上にも配置されている。つまり、マトリクス状に配置された半田ボール 47 のうち、少なくとも最外周の半田ボール 47 は半導体構成体 22 よりも外側に位置する周囲に配置されている。

【0023】

次に、この半導体装置の製造方法の一例について説明するに、まず、半導体構

成体 22 の製造方法の一例について説明する。まず、図 2 に示すように、ウエハ状態のシリコン基板（半導体基板）24 上にアルミニウムからなる接続パッド 25、酸化シリコンからなる絶縁膜 26 および感光性ポリイミドからなる保護膜 27 が設けられ、接続パッド 25 の中央部が絶縁膜 26 および保護膜 27 に形成された開口部 28 を介して露出されたものを用意する。

【0024】

次に、図 3 に示すように、開口部 28 を介して露出された接続パッド 25 の上面を含む保護膜 27 の上面全体に下地金属層 29 a を形成する。この場合、下地金属層 29 a は、無電解メッキにより形成された銅層のみからなっているが、スパッタにより形成された銅層のみであってもよく、またスパッタにより形成されたチタンなどの薄膜層上にスパッタにより銅層を形成したものであってもよい。これは、後述する上層下地金属層 33 a の場合も同様である。

【0025】

次に、下地金属層 29 の a 上面にメッキレジスト膜 41 をパターン形成する。この場合、再配線 30 形成領域に対応する部分におけるメッキレジスト膜 41 には開口部 42 が形成されている。次に、下地金属層 29 a をメッキ電流路として銅の電解メッキを行うことにより、メッキレジスト膜 41 の開口部 42 内の下地金属層 29 a の上面に上層金属層 29 b を形成する。

【0026】

次に、メッキレジスト膜 41 を剥離し、次いで、上層金属層 29 b をマスクとして下地金属層 29 a の不要な部分をエッチングして除去すると、図 4 に示すように、上層金属層 29 b 下にのみ下地金属層 29 a が残存され再配線 30 が形成される。次に、図 5 に示すように、ダンシング工程を経ると、半導体チップ 23 上に再配線 30 を設けてなる半導体構成体 22 が複数個得られる。

【0027】

次に、このようにして得られた半導体構成体 22 を用いて、図 1 に示す半導体装置を製造する場合の一例について説明する。まず、図 6 に示すように、図 1 に示すベース板 20 を複数枚採取することができるベース板 20 の上面全体に接着層 21 が設けられたものを用意する。そして、接着層 21 の上面の所定の複数箇

所にそれぞれ半導体構成体 22 のシリコン基板 24 の下面を接着する。

【0028】

次に、図 7 に示すように、複数の半導体構成体 22 を含む接着層 21 の上面全体にエポキシ系樹脂からなる封止膜 31 を印刷法やモールド法などによりその厚さが半導体構成体 22 の高さよりもやや厚くなるように形成する。したがって、この状態では、半導体構成体 22 の上面は封止膜 31 によって覆われている。次に、必要に応じて、封止膜 31 の上面側を適宜に研磨して、封止膜 31 の上面を平滑化する。次に、封止膜 31 の再配線 30 のパッド部に対応する部分に、フォトリソグラフィあるいは CO₂ レーザの照射により、開口部 32 を形成する。

【0029】

次に、図 8 に示すように、開口部 32 を介して露出された再配線 30 のパッド部を含む封止膜 31 の上面全体に銅の無電解メッキにより上層下地金属層 33a を形成する。次に、上層下地金属層 33a の上面にメッキレジスト膜 43 をパターン形成する。この場合、上層再配線 34 形成領域に対応する部分におけるメッキレジスト膜 43 には開口部 44 が形成されている。次に、上層下地金属層 33a をメッキ電流路として銅の電解メッキを行うことにより、メッキレジスト膜 43 の開口部 44 内の上層下地金属層 33a の上面に上層金属層 33b を形成する。

【0030】

次に、メッキレジスト膜 43 を剥離し、次いで、上層金属層 33b をマスクとして上層下地金属層 33a の不要な部分をエッチングして除去すると、図 9 に示すように、上層金属層 33b 下にのみ上層下地金属層 33a が残存された上層再配線 34 が形成される。

【0031】

次に、図 10 に示すように、上層再配線 34 を含む封止膜 31 の上面全体にソルダーレジストからなる絶縁膜 35 をパターン形成する。この場合、絶縁膜 35 の上層再配線 34 の接続パッド部 34a に対応する部分には開口部 36 が形成されている。次に、開口部 36 内およびその上方に半田ボール 37 を上層再配線 34 の接続パッド部 34a に接続させて形成する。

【0032】

次に、図11に示すように、互いに隣接する半導体構成体22間において、絶縁膜35、封止膜31、接着層21およびベース板20を切断すると、図1に示す半導体装置が複数個得られる。

【0033】

このようにして得られた半導体装置では、半導体構成体22の再配線30に接続される上層下地金属層33aおよび上層金属層33bを無電解メッキ（またはスパッタ）および電解メッキにより形成しているので、ボンディングによらないで、半導体構成体22の再配線30と上層再配線34との間を導電接続することができる。

【0034】

このように、上層再配線34が半導体構成体22の再配線30のパッド部にメッキにより直接接合されるものであるため、上層絶縁膜31の開口部32は、 $10\mu\text{m} \times 10\mu\text{m}$ の方形または同面積の円形の面積を有していれば強度的に十分である。

【0035】

これに対し、図26に示す従来の半導体チップでは、バンプ電極3の直径は $100 \sim 150\mu\text{m}$ 程度（ピッチは、通常、この2倍）であるので、従来の、バンプ電極と再配線とをボンディングにより接合する方法と比較すると、接続パッド部34aのサイズおよび配置間隔が遙かにすることができ、且つ、プロセスも効率的である。

【0036】

このように、接続パッド部34aのサイズおよび配置間隔を小さいものとすることができるので、上層の再配線を有する本発明の半導体装置のサイズを小さいものとすることができる。

【0037】

また、上記製造方法では、ベース板20上の接着層21上の所定の複数箇所にそれぞれ半導体構成体22を接着して配置し、複数の半導体構成体22に対して封止膜31、上層下地金属層33、上層再配線34、絶縁膜35および半田ボー

ル 37 の形成を一括して行い、その後に分断して複数個の半導体装置を得ているので、製造工程を簡略化することができる。

【0038】

また、ベース板 20 と共に複数の半導体構成体 22 を搬送することができるので、これによっても製造工程を簡略化することができる。さらに、ベース板 20 の外形寸法を一定にすると、製造すべき半導体装置の外形寸法に関係なく、搬送系を共有化することができる。

【0039】

さらに、図 1 に示す半導体装置では、シリコン基板 24 上に感光性ポリイミドなどからなる保護膜 27、エポキシ系樹脂などからなる封止膜 31 および感光性ポリイミドなどからなる絶縁膜 35 を積層しているので、この 3 層の樹脂層により、この半導体装置を半田ボール 37 を介して回路基板（図示せず）上に搭載した後において、シリコン基板 24 と回路基板との熱膨張係数差に起因する応力がある程度緩和することができる。

【0040】

次に、図 1 に示す半導体装置の製造方法の他の例について説明する。まず、図 12 に示すように、紫外線透過性の透明樹脂板やガラス板などからなる別のベース板 51 の上面全体に紫外線硬化型の粘着シートなどからなる接着層 52 を接着し、接着層 52 の上面に上述のベース板 20 および接着層 21 を接着したものを用意する。

【0041】

そして、図 6 ～図 10 にそれぞれ示す製造工程を経た後に、図 13 に示すように、絶縁膜 35、封止膜 31、接着層 21、ベース板 20 および接着層 52 を切断し、別のベース板 51 を切断しない。次に、別のベース板 51 の下面側から紫外線を照射し、接着層 52 を硬化させる。すると、分断されたベース板 20 の下面に対する接着層 52 による接着性が低下する。そこで、接着層 52 上に存在する個片化されたものを 1 つずつ剥がしてピックアップすると、図 1 に示す半導体装置が複数個得られる。

【0042】

この製造方法では、図 13 に示す状態において、接着層 52 上に存在する個片化された半導体装置がバラバラとならないので、専用の半導体装置載置用トレーを用いることなく、そのまま、図示しない回路基板上への実装時に 1 つずつ剥がしてピックアップすることができる。また、別のベース板 51 の上面に残存する接着性が低下した接着層 52 を剥離すると、別のベース板 51 を再利用することができる。さらに、別のベース板 51 の外形寸法を一定にすると、製造すべき半導体装置の外形寸法に関係なく、搬送系を共有化することができる。

【0043】

なお、別のベース板 55 として、膨張させることにより半導体装置を取り外す、通常のダイシングテープなどを用いることも可能であり、その場合には、接着層は紫外線硬化型でなくてもよい。また、別のベース板 55 を研磨やエッチングにより除去するようにしてもよい。

【0044】

次に、図 1 に示す半導体装置の製造方法のさらに他の例について説明する。この製造方法では、図 7 に示す製造工程後に、図 14 に示すように、開口部 32 を介して露出された再配線 30 の上面を含む封止膜 31 の上面全体に銅の無電解メッキにより上層下地金属層 33a を形成する。次に、上層下地金属層 33a をメッキ電流路として銅の電解メッキを行うことにより、上層下地金属層 33 の上面全体に上層金属層 33c を形成する。次に、上層金属層 33c の上面の上層再配線形成領域に対応する部分にレジスト膜 53 をパターン形成する。

【0045】

次に、レジスト膜 53 をマスクとして上層金属層 33c および上層下地金属層 33a の不要な部分をエッチングして除去すると、図 15 に示すように、レジスト膜 53 下にのみ上層金属層 33c および上層下地金属層 33a が残存され、上層再配線 34 が形成される。この後、レジスト膜 53 を剥離する。なお、これと同様の形成方法により、半導体構成体 22 の上層金属層 29b および下地金属層 29a を形成するようにしてもよい。

【0046】

(第 2 実施形態)

図 6 に示す製造工程において、接着層 21 を半導体構成体 22 のシリコン基板 24 の下面に設け、この接着層 21 をベース板 20 の上面の各所定の箇所に接着した場合には、図 16 に示すこの発明の第 2 実施形態としての半導体装置が得られる。

【0047】

このようにして得られた半導体装置では、シリコン基板 24 の下面が接着層 21 を介してベース板 20 の上面に接着されているほかに、シリコン基板 24 の側面などが封止膜 36 を介してベース板 20 の上面に接続されているので、半導体構成体 22 のベース板 20 に対する接合強度をある程度強くすることができる。

【0048】

(第 3、第 4 実施形態)

図 17 はこの発明の第 3 実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図 1 に示す半導体装置と異なる点は、ベース板 20 および接着層 21 を備えていないことである。

【0049】

この第 3 実施形態の半導体装置を製造する場合には、例えば図 10 に示すように、半田ボール 37 を形成した後に、ベース板 20 を接着層 21 から剥がしたりまたはベース板 20 および接着層 21 を研磨やエッチングなどにより除去するなどして取り除いた後に、互いに隣接する半導体構成体 22 間において、絶縁膜 35 および封止膜 31 を切断すると、図 17 に示す半導体装置が複数個得られる。このようにして得られた半導体装置では、ベース板 20 および接着層 21 を備えていないので、その分だけ、薄型化することができる。

【0050】

また、ベース板 20 および接着層 21 を取り除いた後に、シリコン基板 24 および封止膜 31 の下面側を適宜に研磨し、次いで互いに隣接する半導体構成体 22 間において、絶縁膜 35 および封止膜 31 を切断すると、図 18 に示すこの発明の第 4 実施形態としての半導体装置が複数個得られる。このようにして得られた半導体装置では、さらに薄型化することができる。

【0051】

なお、半田ボール 37 を形成する前に、ベース板 20 および接着層 21 を研磨やエッチングなどにより除去し（必要に応じてさらにシリコン基板 24 および封止膜 31 の下面側を適宜に研磨し）、次いで半田ボール 37 を形成し、次いで互いに隣接する半導体構成体 22 間において、絶縁膜 35 および封止膜 31 を切断するようにしてもよい。

【0052】

（第 5 実施形態）

図 19 はこの発明の第 5 実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図 1 に示す半導体装置と異なる点は、接着層 21 の下面に放熱用の金属層 61 が接着されていることである。金属層 61 は、厚さ数十 μm の銅箔などからなっている。

【0053】

この第 5 実施形態の半導体装置を製造する場合には、例えば図 10 に示すように、半田ボール 37 を形成した後に、ベース板 20 を研磨やエッチングなどにより除去し、次いで接着層 21 の下面全体に金属層 61 を接着し、次いで互いに隣接する半導体構成体 22 間において、絶縁膜 35、封止膜 31、接着層 21 および金属層 61 を切断すると、図 18 に示す半導体装置が複数個得られる。

【0054】

なお、接着層 21 も研磨やエッチングなどにより除去し（必要に応じてさらにシリコン基板 24 および封止膜 31 の下面側を適宜に研磨し）、シリコン基板 24 および封止膜 31 の下面に新たな接着層を介して金属層 61 を接着するようにしてもよい。

【0055】

（第 6 実施形態）

図 11 に示す場合には、互いに隣接する半導体構成体 22 間において切断したが、これに限らず、2 個またはそれ以上の半導体構成体 22 を 1 組として切断し、例えば、図 20 に示すこの発明の第 6 実施形態のように、3 個の半導体構成体 22 を 1 組として切断し、マルチチップモジュール型の半導体装置を得るようにしてもよい。この場合、3 個で 1 組の半導体構成体 22 は同種、異種のいずれで

あってもよい。

【0056】

(第7実施形態)

図21はこの発明の第7実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図1に示す半導体装置と異なる点は、半導体構成体22は、再配線30を含む保護膜27の上面に感光性ポリイミドなどからなる上層保護膜62が設けられ、上層保護膜62の再配線30のパッド部に対応する部分に開口部63が設けられたものからなっていることである。

【0057】

この第7実施形態の半導体装置を製造する場合には、図4に示す製造工程後に、図22に示すように、再配線30を含む保護膜27の上面に感光性ポリイミドなどからなる上層保護膜62を形成し、上層保護膜62の再配線30のパッド部に対応する部分に開口部63を形成し、以下、図5～図11に示す場合と同様の製造工程を経ると、図21に示す半導体装置が複数個得られる。

【0058】

このようにして得られた半導体装置では、シリコン基板24上に感光性ポリイミドなどからなる保護膜27、感光性ポリイミドなどからなる上層保護膜62、エポキシ系樹脂などからなる封止膜31および感光性ポリイミドなどからなる絶縁膜35を積層しているので、この4層の樹脂層により、この半導体装置を半田ボール37を介して回路基板(図示せず)上に搭載した後において、シリコン基板24と回路基板との熱膨張係数差に起因する応力をより一層緩和することができる。なお、封止膜31の上面が上層保護膜62の上面と面一となるようにしてもよい。

【0059】

(第8実施形態)

図23はこの発明の第8実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図1に示す半導体装置と異なる点は、半導体構成体22の周囲における接着層21の上面に方形棒状の埋込材71が設けられていることである。

【0060】

この場合、埋込材 71 の厚さは、シリコン基板 24 の厚さと同じであってもよく、さらに絶縁膜 25 の厚さを加えた厚さと同じであってもよく、さらに保護膜 26 の厚さを加えた厚さと同じであってもよく、さらに再配線 30 の厚さを加えた厚さと同じであってもよい。したがって、埋込材 71 の上面は封止膜 31 によって覆われている。また、半導体構成体 22 と埋込材 71 との間には封止膜 31 が充填されている。

【0061】

この第 8 実施形態の半導体装置を製造する場合には、図 6 に示す製造工程において、図 24 に示すように、接着層 21 の上面の所定の複数箇所にそれぞれ半導体構成体 22 のシリコン基板 24 の下面を接着するとともに、互いに隣接する半導体構成体 22 間における接着層 21 の上面に格子状の埋込材 71 の下面を接着する。

【0062】

埋込材 71 の材料は、ベース板 20 と同じであってもよく、また別であってもよい。また、ベース板 20 および埋込材 71 の材料が熱可塑性樹脂である場合、接着層 21 を用いずに、両者を熱圧着し、次いで半導体構成体 22 のシリコン基板 24 の下面に設けられた接着層 21（図 16 参照）をベース板 20 の上面に接着するようにしてもよい。また、シート状の埋込材 71 を接着層 21 の上面全体に接着し（またはベース板 20 上に熱圧着し）、座ぐり加工により、格子状の埋込材 71 を形成するようにしてもよい。

【0063】

次に、図 25 に示すように、複数の半導体構成体 22 および格子状の埋込材 71 を含む接着層 21 の上面全体にエポキシ系樹脂などからなる封止膜 31 を印刷法やモールド法などにより、その厚さが半導体構成体 22 の高さよりもやや厚くなるように形成する。次に、必要に応じて、封止膜 31 の上面側を適宜に研磨して、封止膜 31 の上面を平滑化する。次に、封止膜 31 の再配線 30 のパッド部に対応する部分に、フォトリソグラフィあるいは CO₂ レーザの照射により、開口部 32 を形成する。以下、図 8～図 11 に示す場合と同様の製造工程を経ると

、図 23 に示す半導体装置が複数個得られる。

【0064】

このようにして得られた半導体装置では、図 25 に示すように、互いに隣接する半導体構成体 22 間における封止膜 31 の量を埋込材 71 の体積の分だけ少なくすることができる。この結果、エポキシ系樹脂などからなる封止膜 31 の硬化時の収縮による応力を小さくすることができる。

【0065】

(その他の実施形態)

ところで、上記各実施形態では、封止膜 31 上に設けた絶縁膜 35 上に上層再配線 34 を設けた場合について説明したが、これに限らず、封止膜 31 上に設ける絶縁膜を複数層とし、その層間に、半導体構成体 22 の再配線 30 と上層再配線 34 とを接続する層間再配線を設けるようにしてもよい。

【0066】

【発明の効果】

以上説明したように、この発明によれば、半導体基板上に再配線を設けてなる複数または複数組の半導体構成体をベース板上に配置し、半導体構成体を含むベース板の上面全体に絶縁膜を形成し、絶縁膜の上面に上層再配線を半導体構成体の再配線に接続させて形成し、絶縁膜を少なくとも切断することにより、半導体構成体を 1 つまたは 1 組有し、その周囲に絶縁膜を有するとともに、周囲の絶縁膜上に上層再配線の一部が配置されてなる半導体装置を複数個一括して得ることができ、従来のようなボンディング工程がなく、したがってボンディングによることなく外部接続電極の配置間隔を大きくすることができ、また複数または複数組の半導体構成体に対して絶縁膜および上層再配線の形成を一括して行うことができるので、製造工程を簡略化することができる。

【図面の簡単な説明】

【図 1】

この発明の第 1 実施形態としての半導体装置の断面図。

【図 2】

図 1 に示す半導体装置の製造方法の一例において、当初用意したものの断面図

。

【図 3】

図 2 に続く製造工程の断面図。

【図 4】

図 3 に続く製造工程の断面図。

【図 5】

図 4 に続く製造工程の断面図。

【図 6】

図 5 に続く製造工程の断面図。

【図 7】

図 6 に続く製造工程の断面図。

【図 8】

図 7 に続く製造工程の断面図。

【図 9】

図 8 に続く製造工程の断面図。

【図 1 0】

図 9 に続く製造工程の断面図。

【図 1 1】

図 1 0 に続く製造工程の断面図。

【図 1 2】

図 1 に示す半導体装置の製造方法の他の例において、当初用意したものの断面図。

【図 1 3】

同他の例において、所定の製造工程の断面図。

【図 1 4】

図 1 に示す半導体装置の製造方法のさらに他の例において、所定の製造工程の断面図。

【図 1 5】

図 1 4 に続く製造工程の断面図。

【図 16】

この発明の第2実施形態としての半導体装置の断面図。

【図 17】

この発明の第3実施形態としての半導体装置の断面図。

【図 18】

この発明の第4実施形態としての半導体装置の断面図。

【図 19】

この発明の第5実施形態としての半導体装置の断面図。

【図 20】

この発明の第6実施形態としての半導体装置の断面図。

【図 21】

この発明の第7実施形態としての半導体装置の断面図。

【図 22】

図 21 に示す半導体装置の製造方法の一例において、所定の製造工程の断面図。
。

【図 23】

この発明の第8実施形態としての半導体装置の断面図。

【図 24】

図 23 に示す半導体装置の製造方法の一例において、所定の製造工程の断面図。
。

【図 25】

図 24 に続く製造工程の断面図。

【図 26】

従来の半導体装置の一例の断面図。

【符号の説明】

20 ベース板

21 接着層

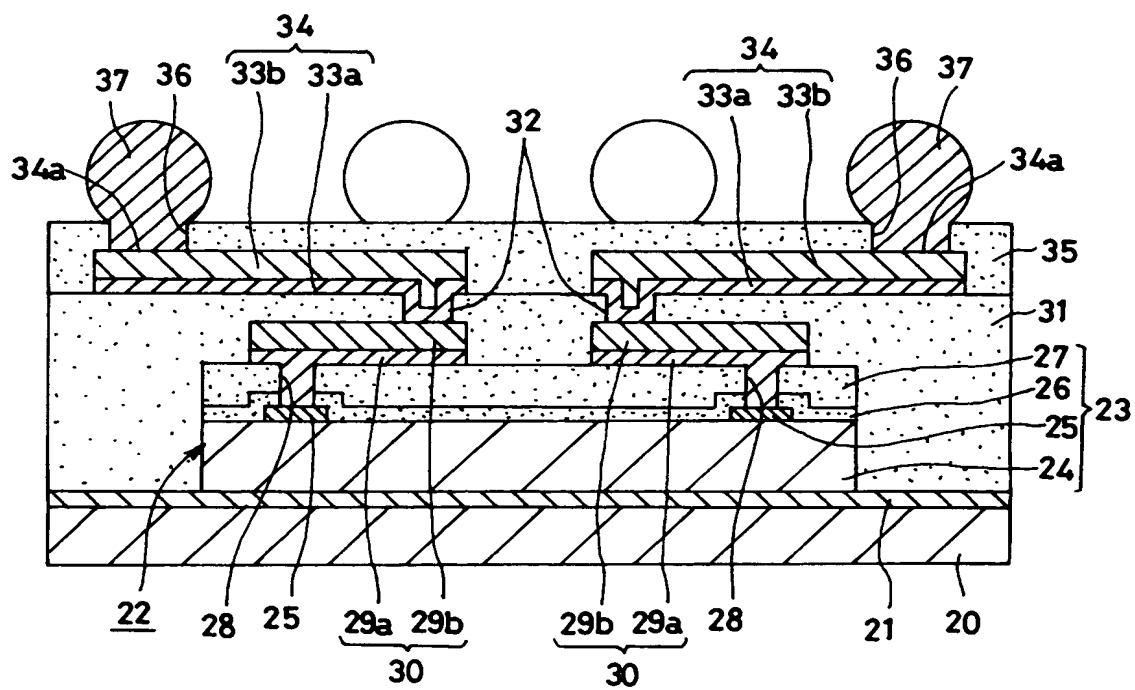
22 半導体構成体

23 半導体チップ

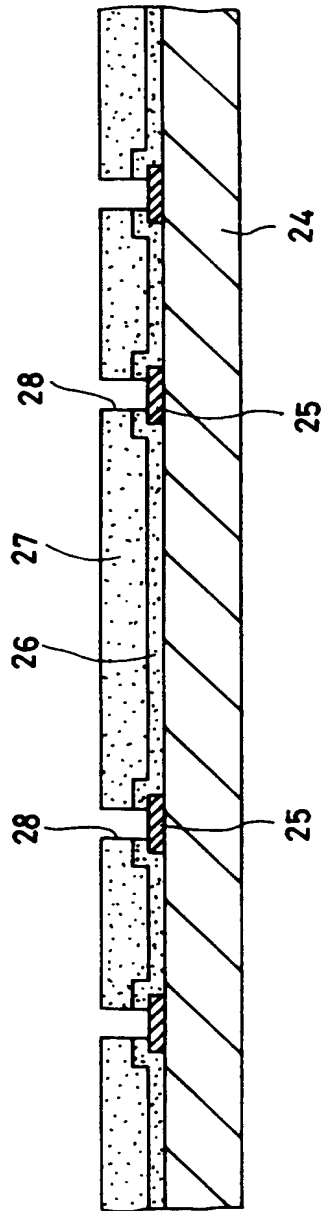
- 2 4 シリコン基板
- 2 5 接続パッド
- 2 9 下地金属層
- 3 0 再配線
- 3 1 封止膜
- 3 3 上層下地金属層
- 3 4 上層再配線
- 3 5 絶縁膜
- 3 7 半田ボール

【書類名】 図面

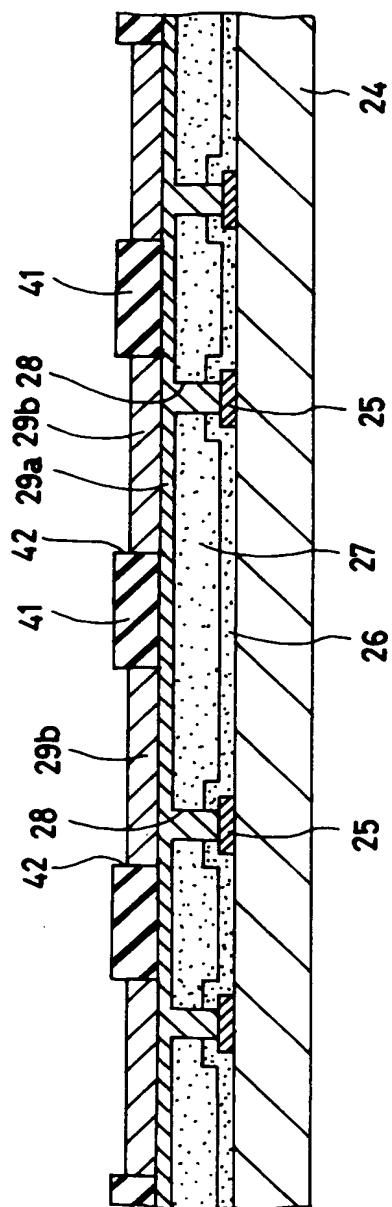
【図 1】



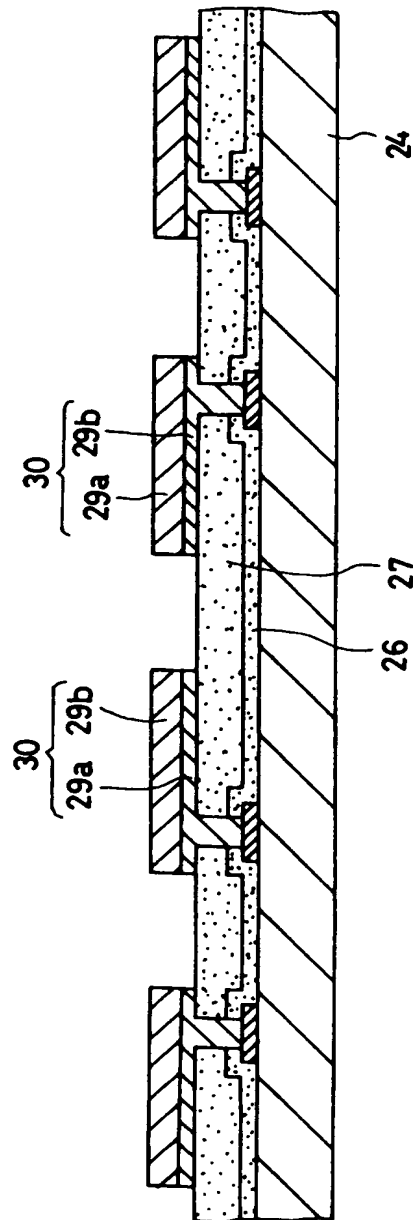
【図 2】



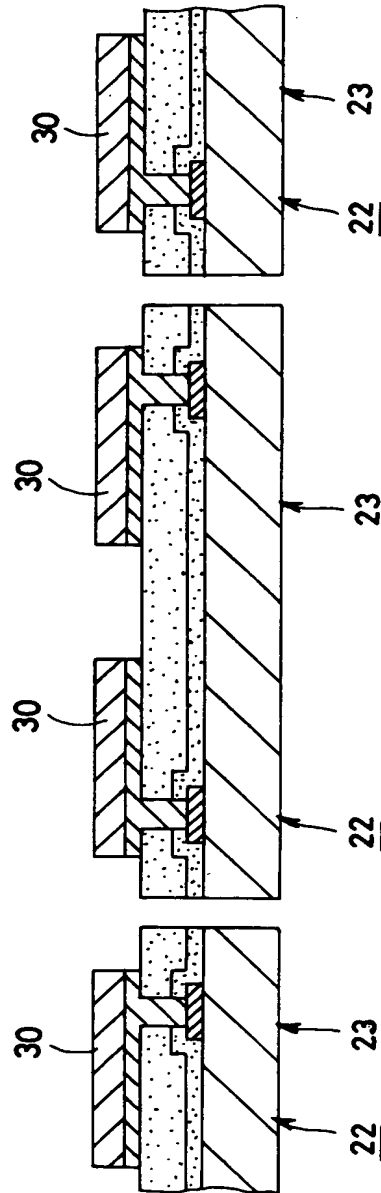
【図 3】



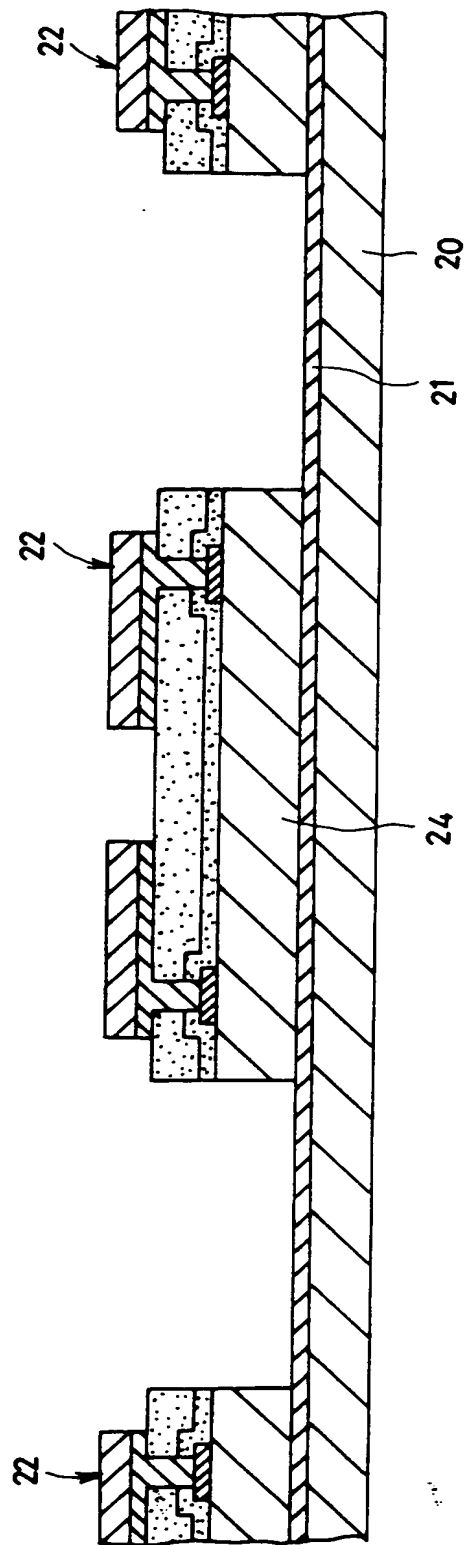
【図 4】



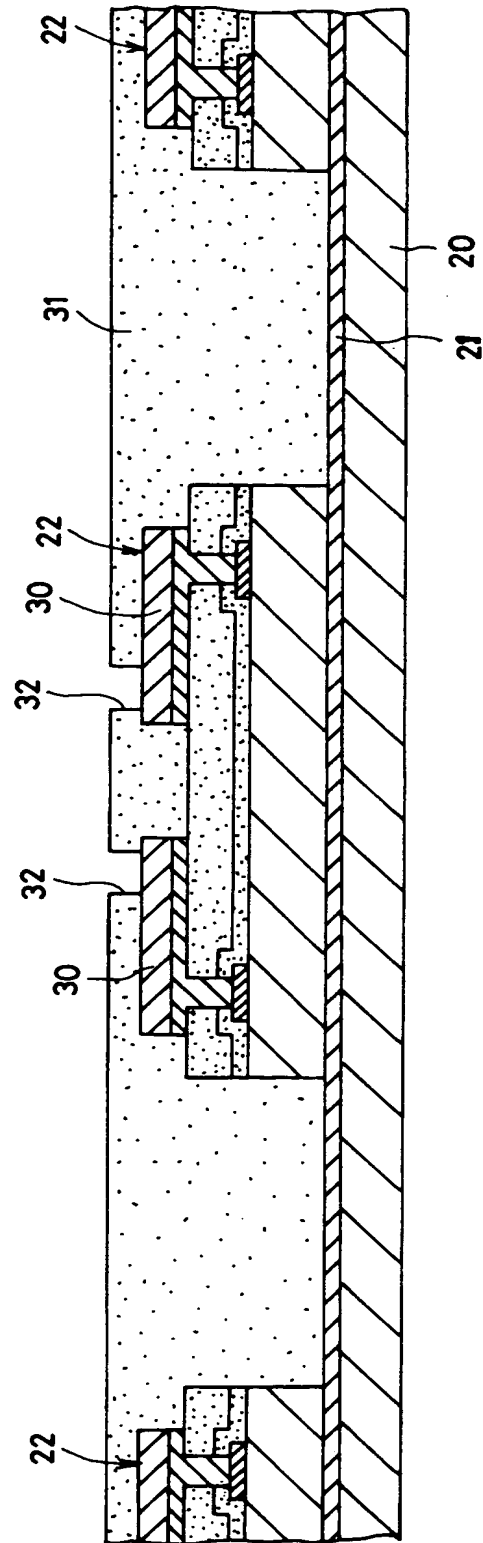
【図 5】



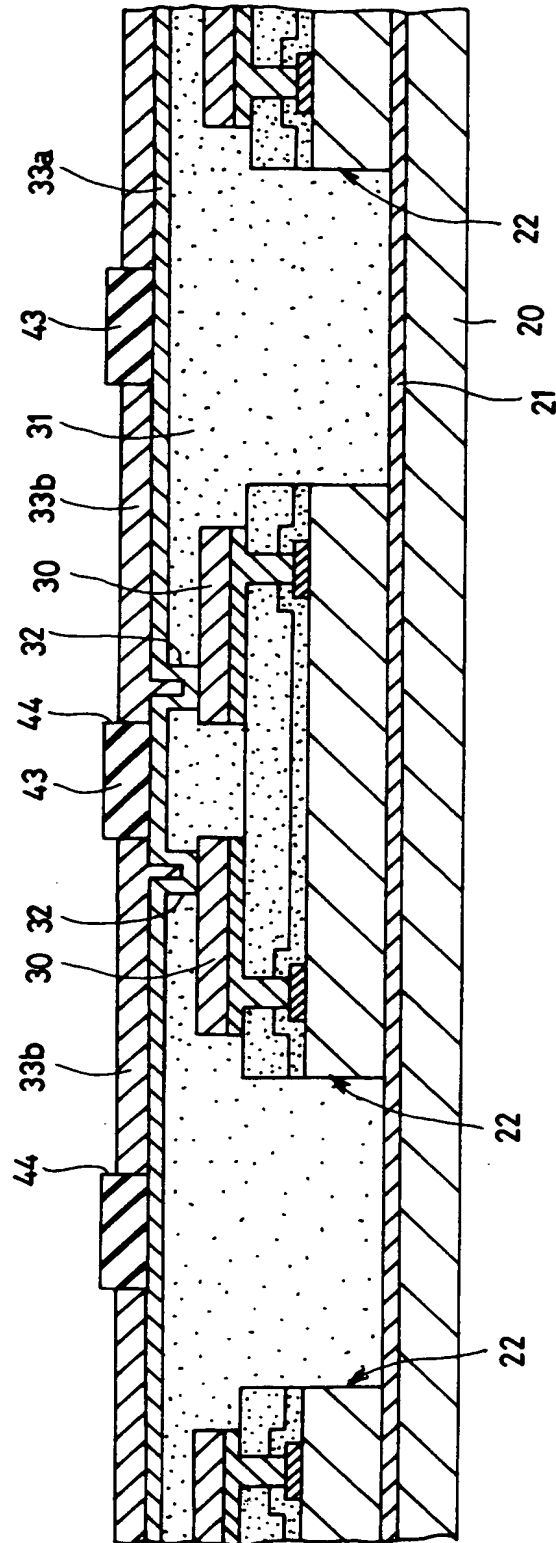
【図 6】



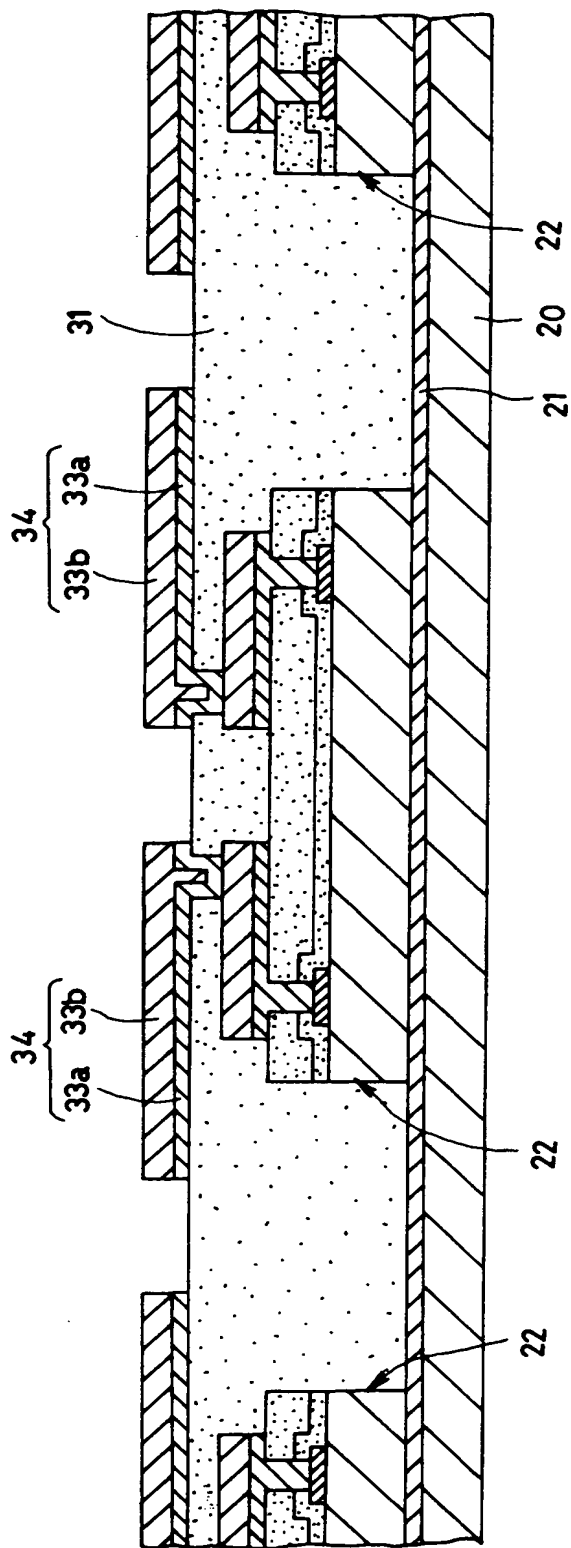
【図 7】



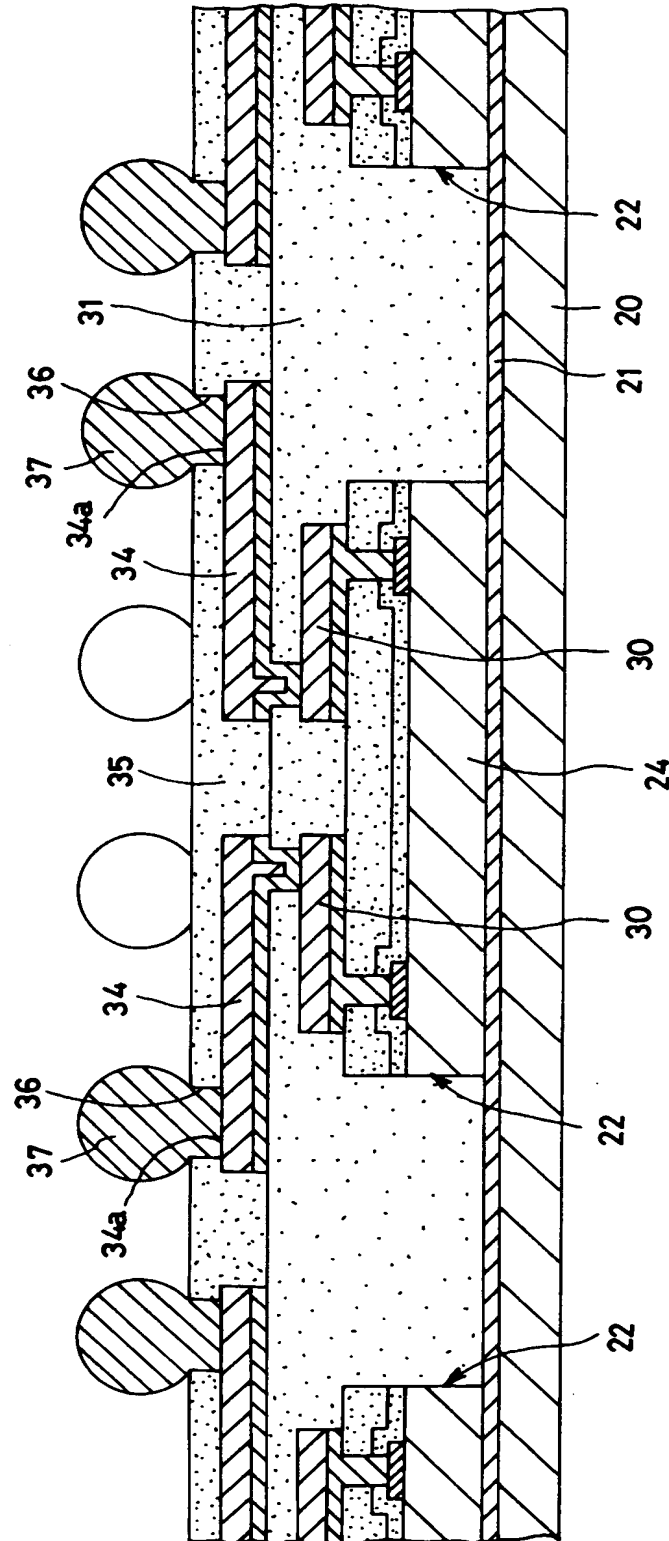
【図 8】



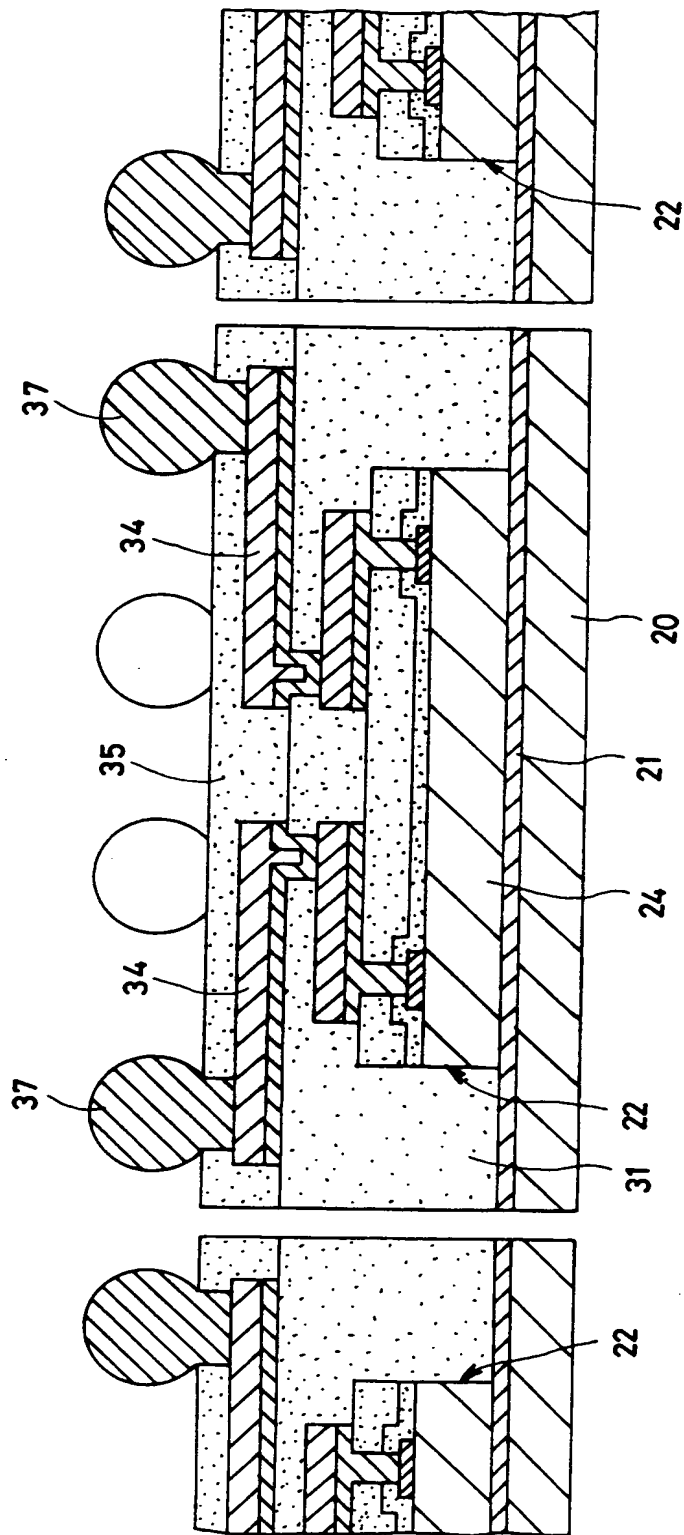
【図 9】



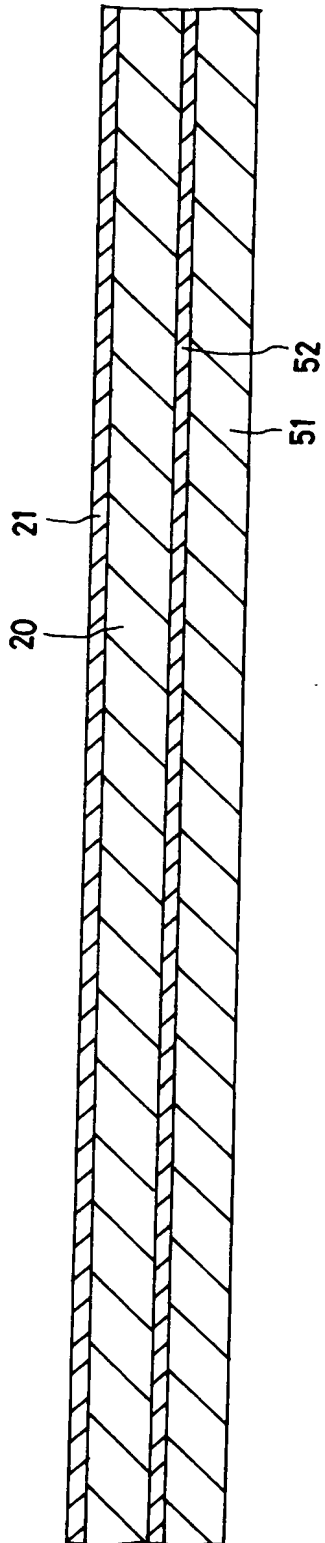
【図 10】



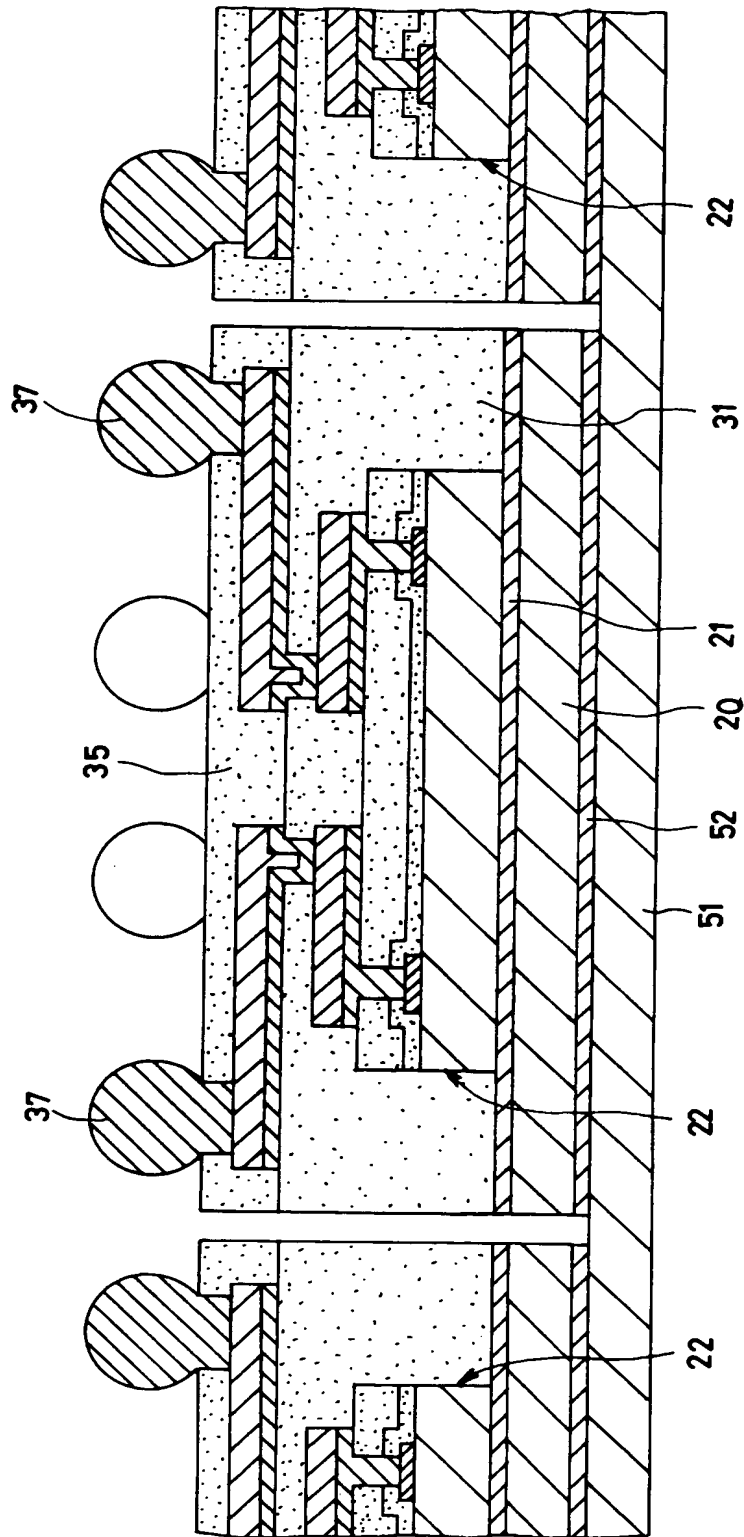
【図 11】



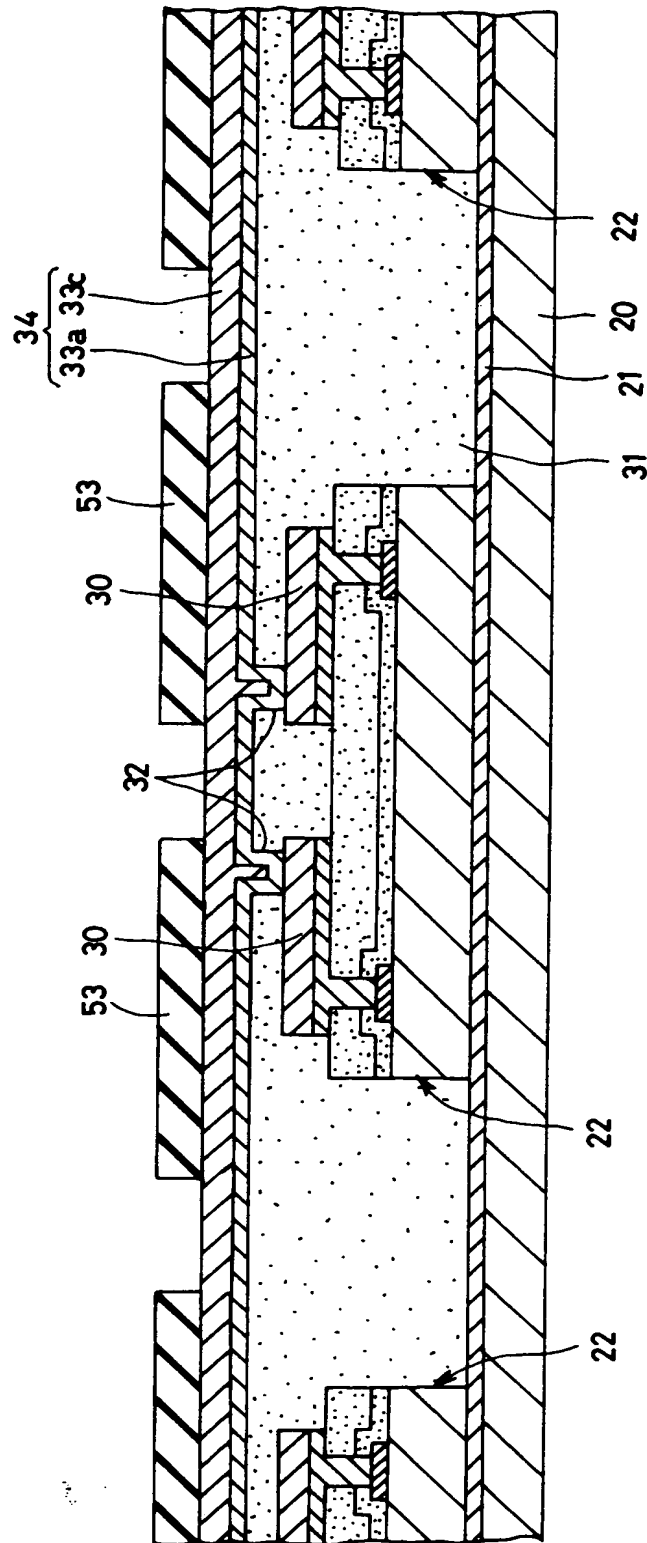
【図 12】



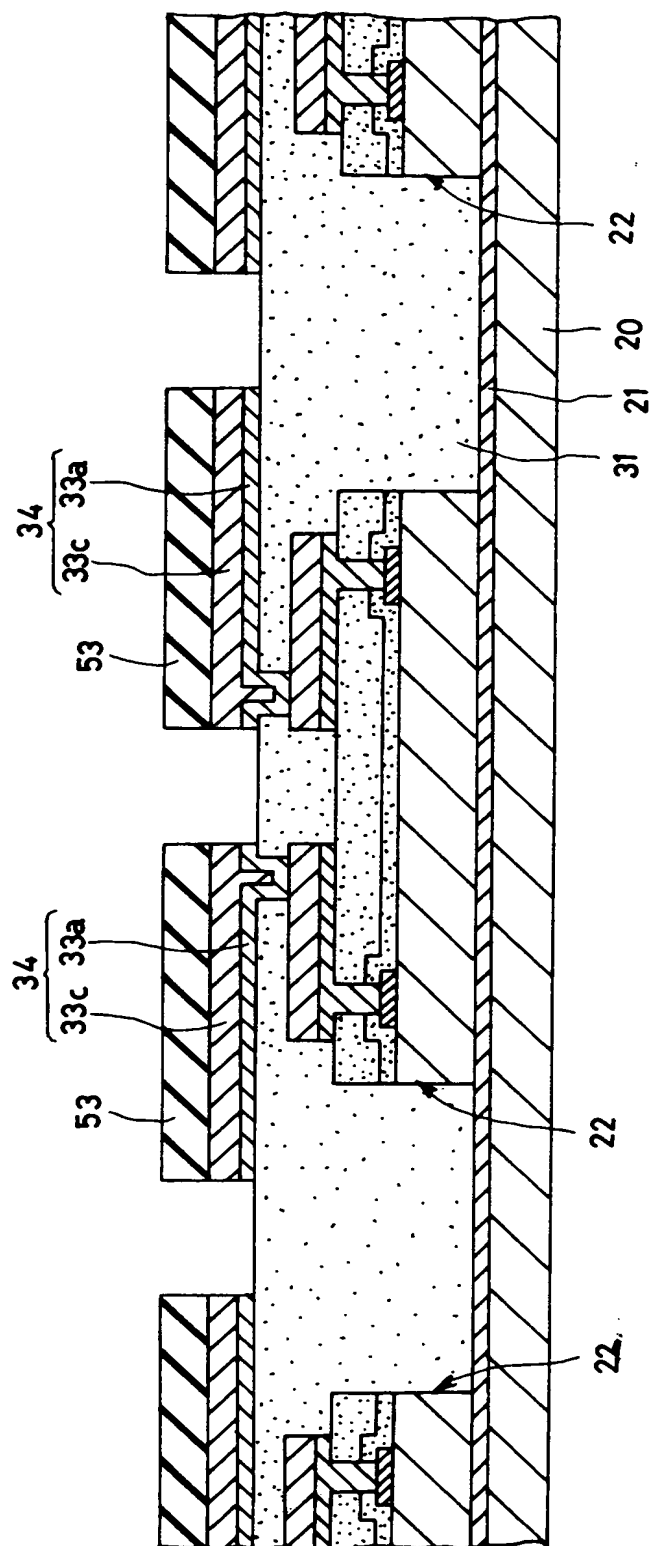
【図 13】



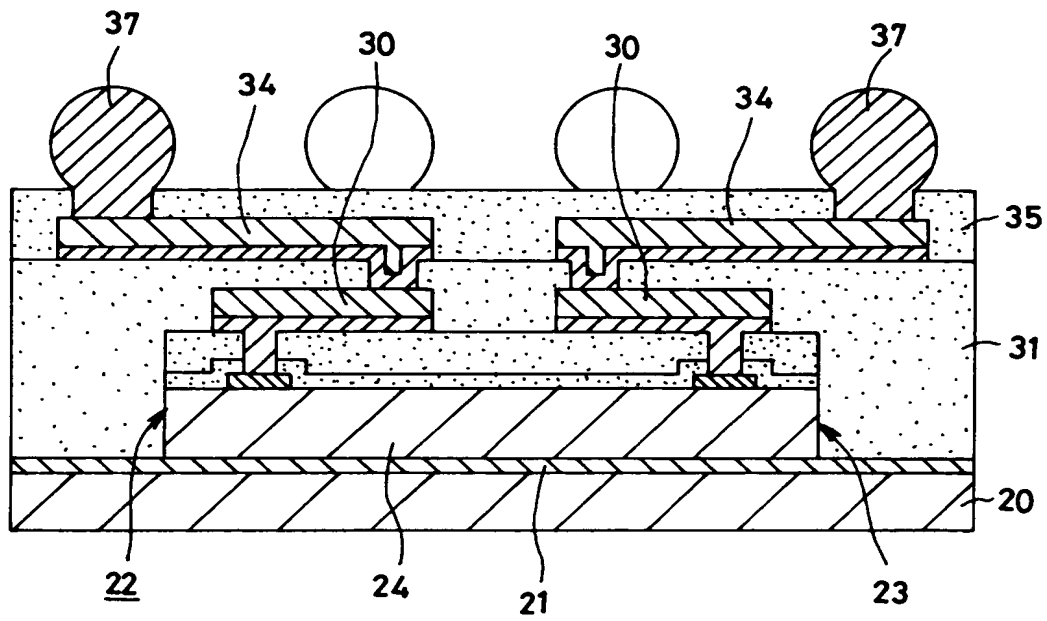
【図 14】



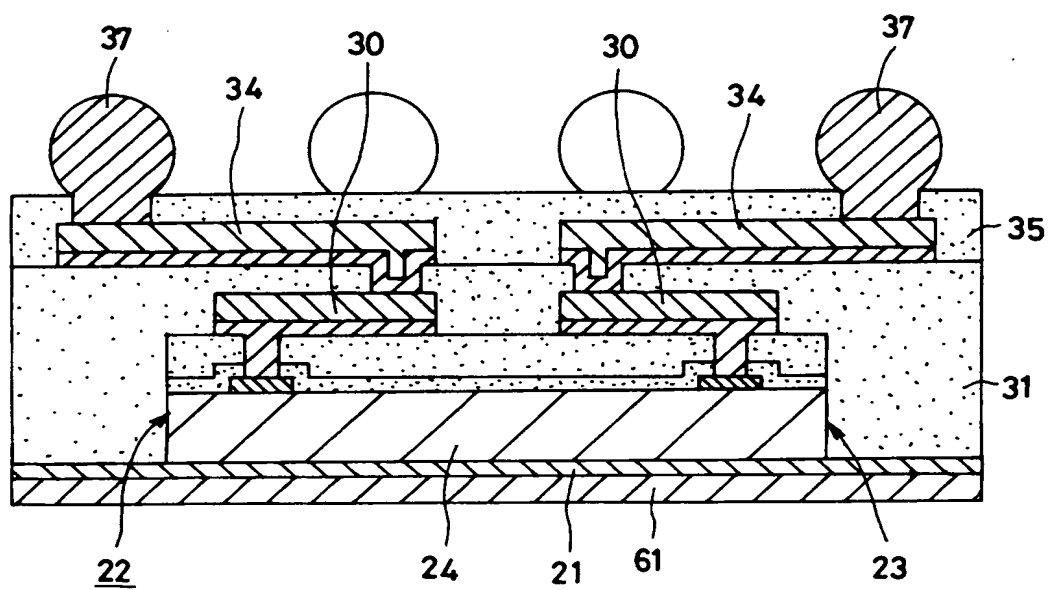
【図 15】



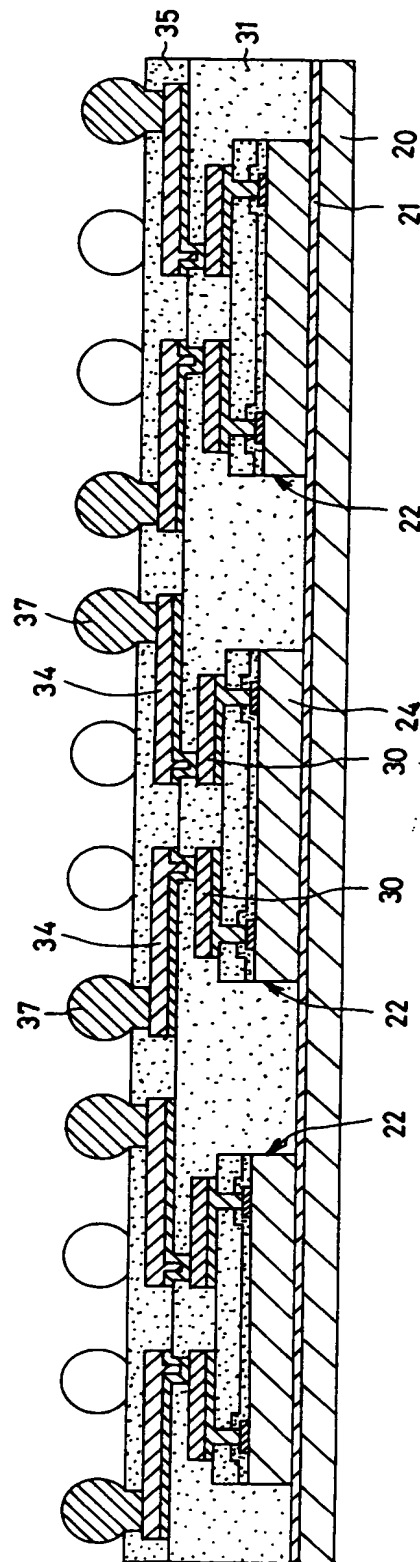
【図 16】



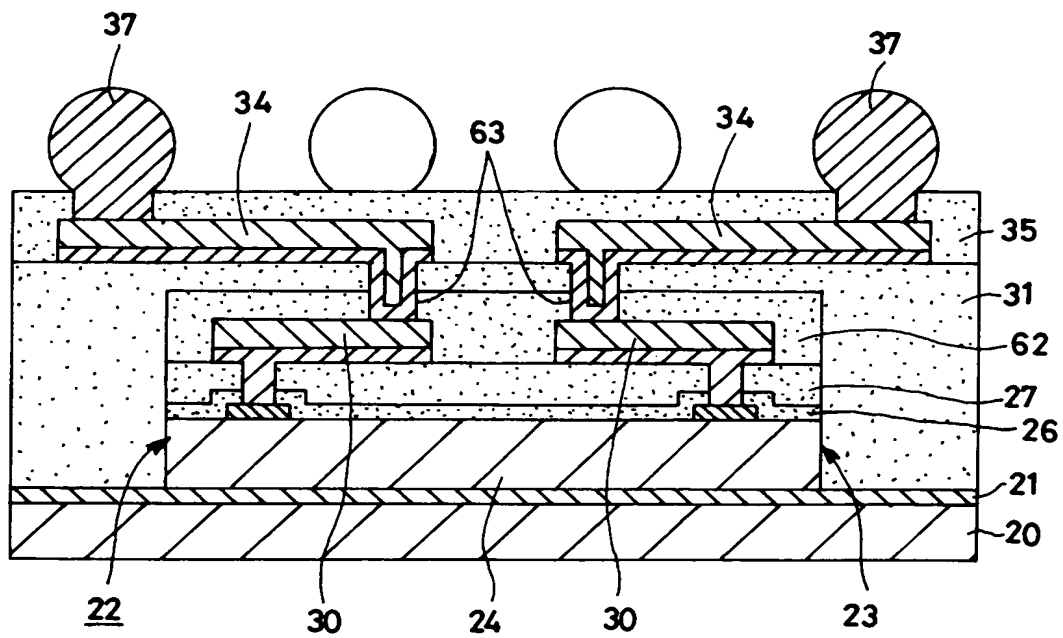
【図 19】



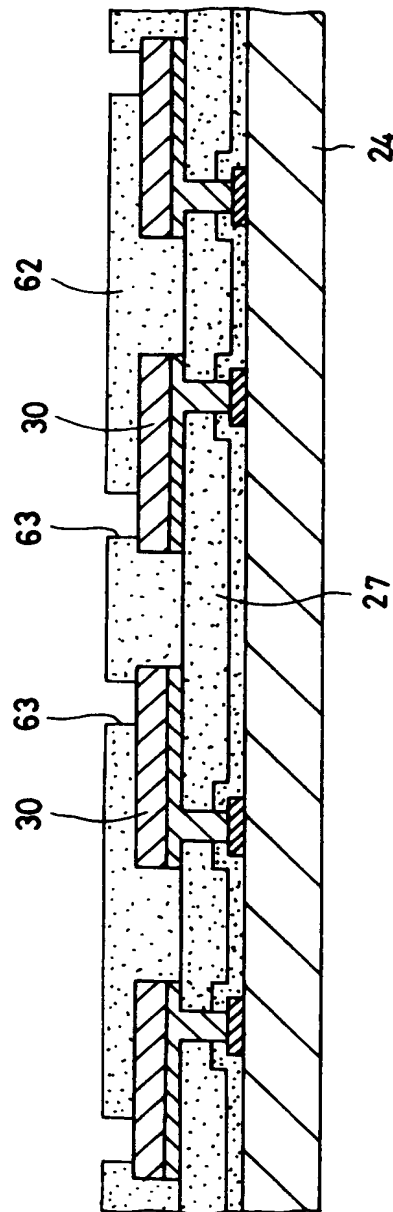
【図 20】



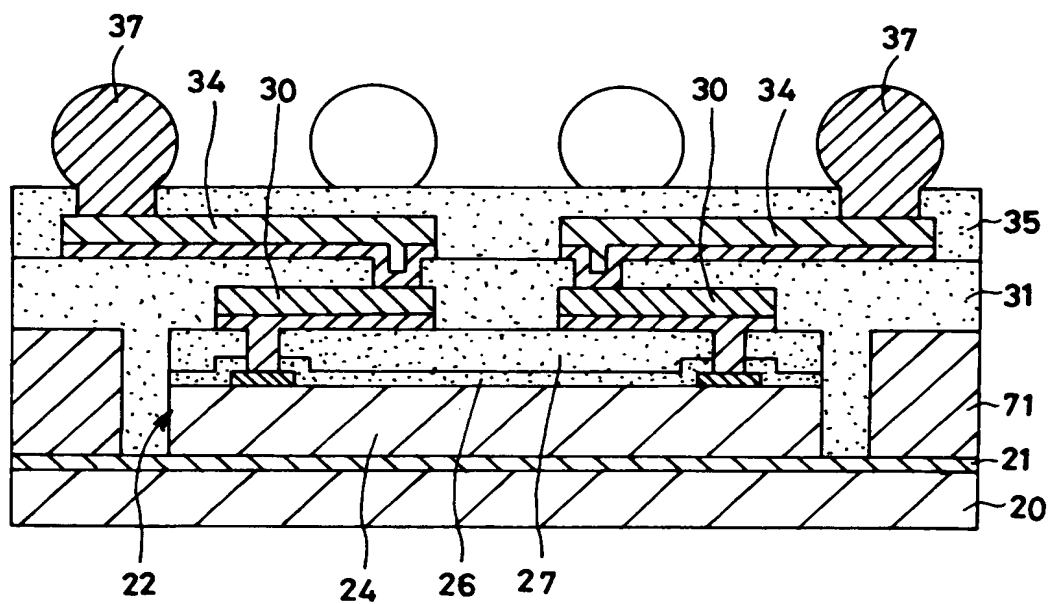
【図 21】



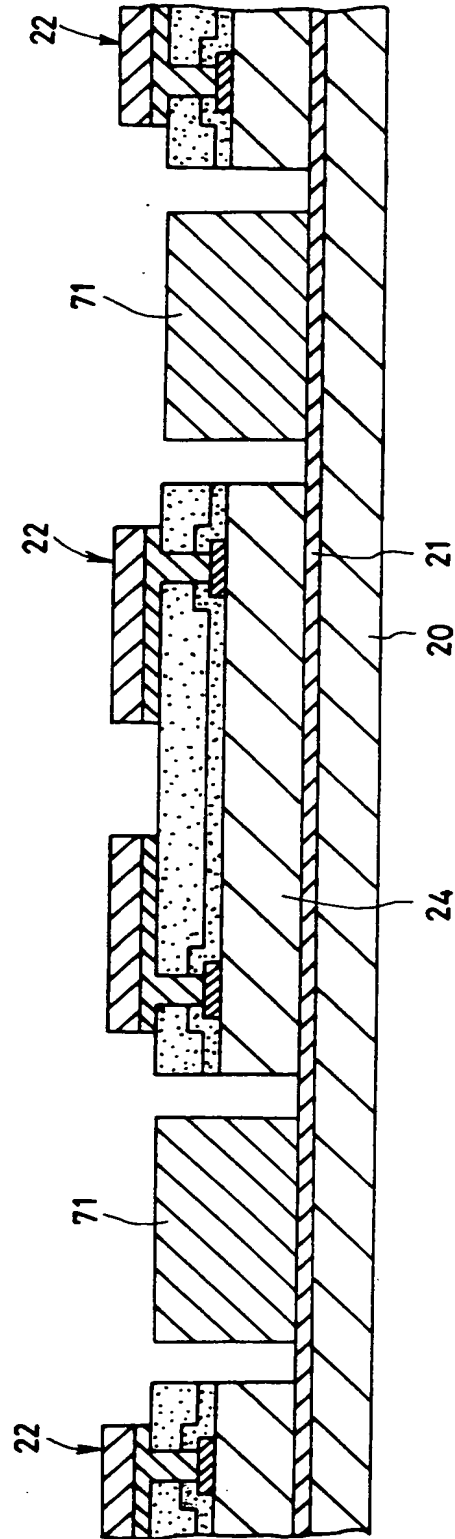
【図 22】



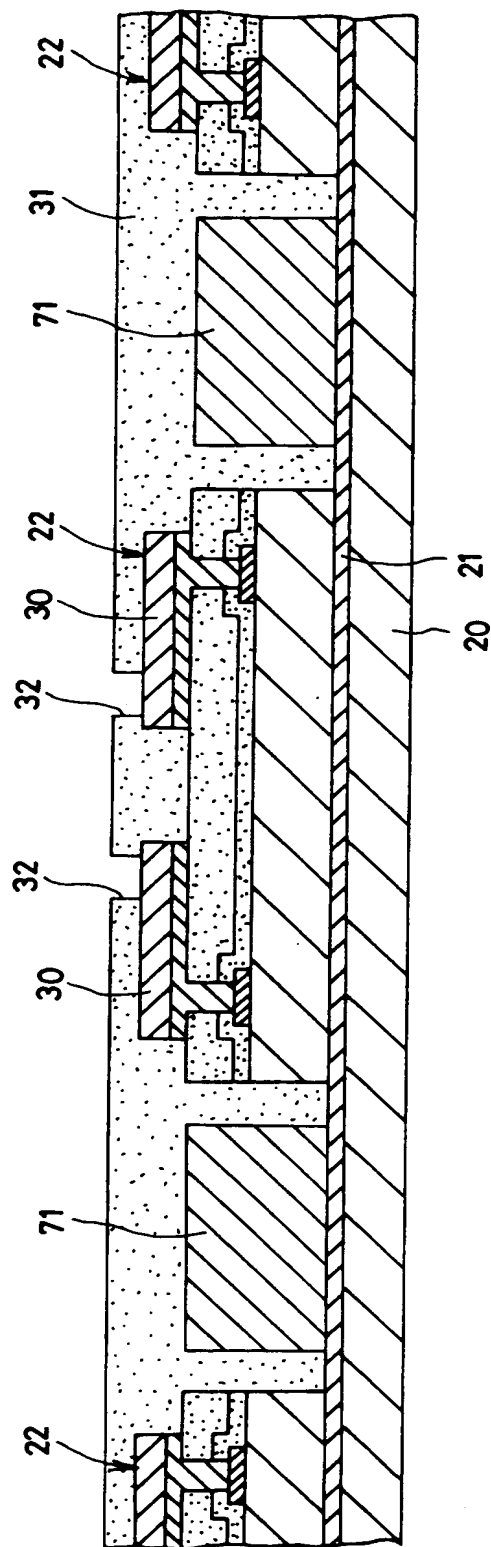
【図 23】



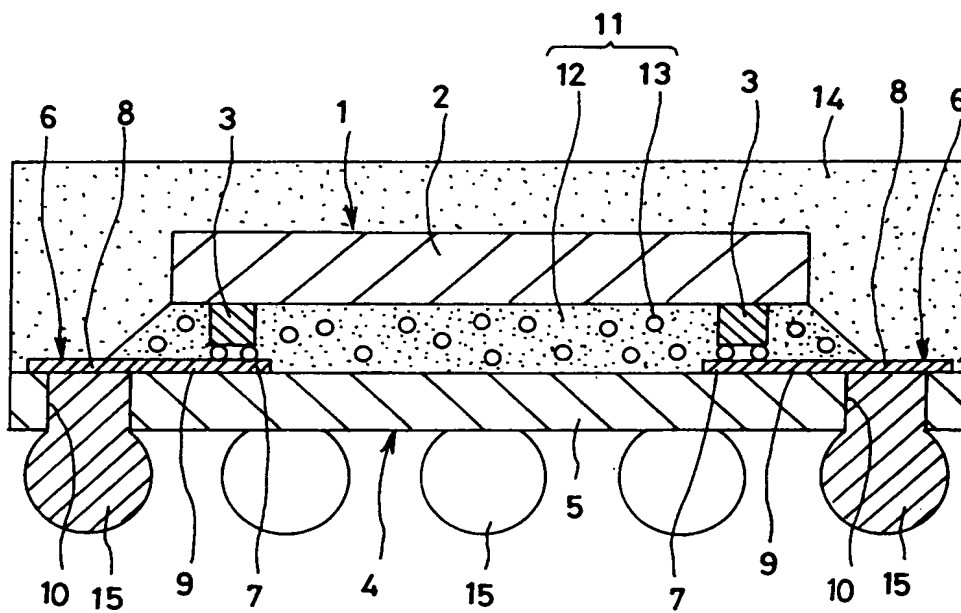
【図 24】



【図 25】



【図 26】





【書類名】 要約書

【要約】

【課題】 例えば B G A と呼ばれる半導体装置の製造に際し、半導体チップと半田ボールとをボンディング工程を経ることなく導電接続する。

【解決手段】 複数の半導体装置に対応するサイズのベース板 2 0 上の接着層 2 1 上に、シリコン基板（半導体チップ） 2 4 上に再配線 3 0 を設けてなる複数の半導体構成体 2 2 を接着する。次に、半導体構成体 2 2 上およびその周囲における接着層 2 1 上に封止膜 3 1 を形成する。次に、上層再配線 3 4 、絶縁膜 3 5 、半田ボール 3 7 など形成する。次に、互いに隣接する半導体構成体 2 2 間において切断すると、半田ボール 3 7 を備えた半導体装置が複数個得られる。

【選択図】 図 1 0

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 3 2 7 3 7
受付番号	5 0 2 0 1 1 9 0 3 2 3
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 8 月 1 2 日

< 認定情報・付加情報 >

【提出日】	平成14年 8月 9日
-------	-------------

次頁無



特願 2 0 0 2 - 2 3 2 7 3 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 4 4 3]

1. 変更年月日

1 9 9 8 年 1 月 9 日

[変更理由]

住所変更

住 所

東京都渋谷区本町 1 丁目 6 番 2 号

氏 名

カシオ計算機株式会社